

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of
Inventor(s): TANAKA, et al.

Appln. No.:	Not	Assigned
Series	↑	↑ Serial No.
Code		

Group Art Unit: Unknown

Filed: July 30, 2003

Examiner: Unknown

Title: CLASS D AMPLIFIER

Atty. Dkt.	P 0305329	H7941US
	M#	Client R f

Date: July 30, 2003

**SUBMISSION OF PRIORITY
DOCUMENT IN ACCORDANCE
WITH THE REQUIREMENTS OF RULE 55**

Hon. Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2002-223608	Japan	July 31, 2002

Respectfully submitted,

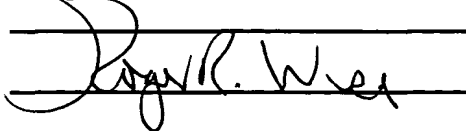
Pillsbury Winthrop LLP
Intellectual Property Group

725 South Figueroa Street, Suite
2800
Los Angeles, CA 90017-5406
Tel: (213) 488-7100

By Atty: Roger R. Wise

Reg. No. 31204

Sig:



Fax: (213) 629-1033
Tel: (213) 488-7584

Atty/Sec: RRW/JES

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月31日

出 願 番 号

Application Number:

特願2002-223606

[ST.10/C]:

[JP 2002-223606]

出 願 人

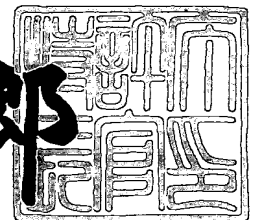
Applicant(s):

ヤマハ株式会社

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3038016

【書類名】 特許願

【整理番号】 J95395A1

【提出日】 平成14年 7月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/217

【発明の名称】 D級増幅器

【請求項の数】 3

【発明者】

 【住所又は居所】 静岡県浜松市中沢町10番1号 ヤマハ株式会社内

 【氏名】 田中 泰臣

【発明者】

 【住所又は居所】 静岡県浜松市中沢町10番1号 ヤマハ株式会社内

 【氏名】 野呂 正夫

【特許出願人】

 【識別番号】 000004075

 【氏名又は名称】 ヤマハ株式会社

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100089037

 【弁理士】

 【氏名又は名称】 渡邊 隆

【手数料の表示】

 【予納台帳番号】 008707

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001626

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 D級増幅器

【特許請求の範囲】

【請求項1】 高電源に対応する信号レベルを出力端子に出力する第1の出力用トランジスタを駆動するための第1の駆動回路と、低電源に対応する信号レベルを前記出力端子に出力する第2の出力用トランジスタを駆動するための第2の駆動回路とを有し、入力端子を介して入力された信号をパルス信号に変調し、該パルス信号を前記第1および第2の駆動回路に与えて前記第1および第2の出力用トランジスタを相補的に駆動するように構成されたD級増幅器において、

前記第1の駆動回路に設けられ、前記第1のトランジスタに流れる過電流を検出して第1の信号を出力する第1の検出回路と、

前記第2の駆動回路に設けられ、前記第2のトランジスタに流れる過電流を検出して第2の信号を出力する第2の検出回路と、

前記第1の信号を、前記低電源を基準とした第3の信号に変換する信号変換回路と、

前記第2の信号と前記第3の信号とを加算する加算回路と、

前記加算回路の出力信号に応答して前記第1および第2の駆動回路に入力されるべき前記パルス信号を阻止するゲート回路と、

を備えたことを特徴とするD級増幅器。

【請求項2】 前記第1の駆動回路が、前記出力端子の電位を基準とした第1の内部電源で作動して前記第1の出力用トランジスタを駆動し、

前記第2の駆動回路が、前記低電源を基準とした第2の内部電源で作動して前記第2の出力用トランジスタを駆動することを特徴とする請求項1に記載されたD級増幅器。

【請求項3】 前記信号変換回路が、

電流経路の一端側が前記第1の駆動回路の電源に接続され、前記第1の信号に応答して導通する第1のトランジスタと、

前記第1のトランジスタの電流経路の他端と前記低電源との間に接続された負荷素子と、

電流経路が前記低電源と前記加算回路の入力部との間に接続され、前記第 1 のトランジスタと前記負荷素子との間に現れる信号に応答して導通する第 2 のトランジスタと、

を備えたことを特徴とする請求項 1 または 2 に記載された D 級増幅器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、音楽信号などのアナログ信号をパルス信号に変換して電力増幅する D 級増幅器（デジタルアンプ）に関し、特に出力用のパワー MOS トランジスタを駆動制御するための回路技術に関する。

【 0 0 0 2 】

【従来の技術】

従来、音楽信号などのアナログ信号を入力信号とし、これをパルス信号に変換して電力増幅する D 級増幅器が知られており、その出力端子には、ローパスフィルタを介してスピーカの入力端子が接続される。この D 級増幅器によれば、入力信号の振幅がパルス幅に反映され、電力増幅されたパルス信号が出力される。そして、このパルス信号が外部のローパスフィルタを通過することによりアナログ量の音楽信号が抽出され、この信号がスピーカを駆動する。D 級増幅器は、シリコンチップ上に形成することができるため、小型かつ安価に実現することができ、低消費電力が要求される携帯端末やパソコンなどに多用されている。

【 0 0 0 3 】

図 1 を援用して、従来の D 級増幅器を説明する。同図において、信号源 S I G は、接地電位（0 V）を振幅の midpoint とするアナログ量の音楽信号 V I N の発生源であり、入力コンデンサ C I N を介して入力端子 T I に接続される。この D 級増幅器は、いわゆる PWM 増幅器（PWM ; Pulse Width Modulation）であって、入力段 1 0 0、変調回路 2 0 0、駆動回路 3 0 0、n 型のパワー MOS トランジスタ 4 0 1、4 0 2 から構成される。

【 0 0 0 4 】

入力段 1 0 0 は、音楽信号 V I N の波形を変調回路 2 0 0 の入力特性に適合す

る電圧（振幅）に変換するものである。この後段には変調回路 2 0 0 が設けられ、入力段 1 0 0 から出力された音楽信号をパルス信号に変換する（PWM変調）。駆動回路 3 0 0 は、変調されたパルス信号に基づき、出力用のパワーMOSトランジスタ 4 0 1、4 0 2 を相補的に駆動制御する。パワーMOSトランジスタ 4 0 1 は、ハイレベルを出力するためのものであり、パワーMOSトランジスタ 4 0 2 は、ローレベルを出力するためのものである。出力端子 T O には、インダクタ L とコンデンサ C とからなるローパスフィルタを介してスピーカ S P K の入力端子が接続される。

【 0 0 0 5 】

この D 級増幅器によれば、信号源 S I G から入力された音楽信号 V I N が、入力段 1 0 0 および変調回路 2 0 0 を経てパルス信号に変換される。駆動回路 3 0 0 は、変調されたパルス信号に基づきパワーMOSトランジスタ 4 0 1、4 0 2 を相補的に導通制御し、出力端子 T O に電力増幅されたパルス信号を出力する。電力増幅されたパルス信号は、インダクタ L およびコンデンサ C からなるローパスフィルタによりキャリア周波数成分が除去され、スピーカ S P K に供給される。

【 0 0 0 6 】

上述の変調回路 2 0 0 は、単一の電源 V D D（例えば 1 0 V）で作動するように構成されたものであるから、その出力信号であるパルス信号のロウレベルは接地電位（0 V）となり、ハイレベルは電源 V D D が供給する電圧（1 0 V）となる。従って、そのような信号レベルを有するパルス信号をそのまま用いたのでは、MOSトランジスタの特性上、正電源 V P P +（例えば + 5 0 V）にドレインが接続されたパワーMOSトランジスタ 4 0 1 を十分にオン状態に制御することはできず、また負電源 V P P -（例えば - 5 0 V）にソースが接続されたパワーMOSトランジスタ 4 0 2 をオフ状態に制御することができない。そこで、駆動回路 3 0 0 は、変調回路 2 0 0 で変調されたパルス信号に基づき上述のパワーMOSトランジスタ 4 0 1、4 0 2 を制御し得るように構成されており、いわゆるハイサイドドライバおよびローサイドドライバを備えている。

【 0 0 0 7 】

【発明が解決しようとする課題】

ところで、D級増幅器の実使用状況では、スピーカ端子は外部端子となり、出力端子はグラウンドにショートするおそれがある。出力端子とグラウンドがショートした場合、出力段のパワーMOSトランジスタがオン状態にあると、このパワーMOSトランジスタに許容電流を超す過電流が流れ、出力段が破壊される虞がある。このため、出力段のパワーMOSトランジスタを過電流から保護するための対策がとられている。

図7に、過電流からパワーMOSトランジスタを保護するための構成例を示す。同図において、信号H3、H4は、上述の変調回路200から出力されるパルス信号の同相信号および逆相信号であり、ハイサイドドライバの入力信号とされる。また、信号L3、L4は同じく変調回路200から出力されるパルス信号の同相信号および逆相信号であり、ローサイドドライバの入力信号とされる。駆動回路303HJはハイサイドドライバとして機能するもので、上述の信号H3、H4に基づきパワーMOSトランジスタ401を駆動する。また、駆動回路303LJはローサイドドライバとして機能するもので、上述の信号L3、L4に基づきパワーMOSトランジスタ402を駆動する。

【0008】

抵抗RS1は、パワーMOSトランジスタ401を流れる電流を検出するためのもので、パワーMOSトランジスタ401と出力端子TOとの間に接続される。抵抗RS2は、パワーMOSトランジスタ402を流れる電流を検出するためのもので、パワーMOSトランジスタ402と負電源VPP-との間に接続される。駆動回路303HJの内部には、信号H3、H4の伝達経路として、コンパレータCM1、論理積ゲート回路AN1、およびバッファB14が設けられ、過電流を検出するための回路系として、コンパレータCM11、ラッチLA1が設けられている。コンパレータCM11の非反転入力部は抵抗RS1の一端に接続され、その反転入力端子は基準電源REFHを介して抵抗RS1の他端に接続される。基準電源REFHは、抵抗RS1に許容電流を超える過電流が流れた場合にコンパレータCM11の出力が反転するように設定される。コンパレータCM11の出力部はラッチLA1を介して論理積ゲート回路AN1の負論理入力部に

接続される。一方の駆動回路 3 0 3 L J は、コンパレータ C M 2、論理積ゲート回路 A N 2、バッファ B 2 4、基準電源 R E F L、コンパレータ C M 2 1、ラッチ L A 2 から構成され、これらは、上述の駆動回路 3 0 3 H J を構成するコンパレータ C M 1、論理積ゲート回路 A N 1、バッファ B 1 4、基準電源 R E F H、コンパレータ C M 1 1、ラッチ L A 1 にそれぞれ対応する。

【 0 0 0 9 】

過電流を検出するための動作を説明する。例えばパワー MOS トランジスタ 4 0 1 に過電流が発生した場合、抵抗 R S 1 の両端部に電圧が発生し、この電圧が基準電源 R E F H の電圧を超えると、コンパレータ C M 1 1 の出力がハイレベルになる。このハイレベルはラッチ L A 1 にラッチされて論理積ゲート回路 A N 1 の負論理入力部に与えられる。このため、論理積ゲート回路 A N 1 の出力信号はローレベルとされ、バッファ B 1 4 を介してパワー MOS トランジスタ 4 0 1 のゲートに与えられる。この結果、パワー MOS トランジスタ 4 0 1 はオフ状態に制御され、過電流を遮断する。よって、パワー MOS トランジスタ 4 0 1 が過電流から保護されることとなる。同様にパワー MOS トランジスタ 4 0 2 に過電流が流れた場合には、抵抗 R S 2 の両端部に電圧が発生し、この電圧が基準電源 R E F L の電圧を超えると、コンパレータ C M 2 1 の出力信号はハイレベルとなり、ラッチ L A 2 を介して論理積ゲート回路 A N 2 の負論理入力部に与えられる。このため、論理積ゲート回路 A N 2 の出力信号がローレベルとされ、パワー MOS トランジスタ 4 0 2 がオフ状態に制御される。

【 0 0 1 0 】

しかしながら、上述の過電流から出力段を保護するための従来技術によれば、駆動回路 3 0 3 H J および駆動回路 3 0 3 L J は個別に過電流を検出して、パワー MOS トランジスタ 4 0 1、4 0 2 を制御するため、何れか一方のパワー MOS トランジスタのみがオフ状態に制御されると共に、他方のパワー MOS トランジスタは動作し得る状態に置かれ、D 級増幅器を搭載するシステムの動作上、好ましくない動作状態が発生する。

この発明は、上記事情に鑑みてなされたもので、出力段を構成する一対のパワー MOS トランジスタのうち、一方に過電流が発生した場合であっても、双方の

パワーMOSトランジスタをオフ状態に制御することが可能なD級増幅器を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記課題を解決するため、この発明は以下の構成を有する。

即ち、請求項1に記載された発明は、高電源（例えば後述する正電源 V_{PP+} に相当する構成要素）に対応する信号レベルを出力端子に出力する第1の出力用トランジスタを駆動するための第1の駆動回路と、低電源（例えば後述する負電源 V_{PP-} に相当する構成要素）に対応する信号レベルを前記出力端子に出力する第2の出力用トランジスタを駆動するための第2の駆動回路とを有し、入力端子を介して入力された信号をパルス信号に変調し、該パルス信号を前記第1および第2の駆動回路に与えて前記第1および第2の出力用トランジスタを相補的に駆動するように構成されたD級増幅器において、前記第1の駆動回路に設けられ、前記第1のトランジスタに流れる過電流を検出して第1の信号（後述するドレイン電流 I_{TN1} に相当する要素）を出力する第1の検出回路と、前記第2の駆動回路に設けられ、前記第2のトランジスタに流れる過電流を検出して第2の信号（後述するドレイン電流 I_{TN2} に相当する要素）を出力する第2の検出回路と、前記第1の信号を、前記低電源を基準とした第3の信号（後述するコレクタ電流 I_{TT2} に相当する要素）に変換する信号変換回路と、前記第2の信号と前記第3の信号とを加算する加算回路と、前記加算回路の出力信号に応答して前記第1および第2の駆動回路に入力されるべき前記パルス信号を阻止するゲート回路と、を備えたことを特徴とする。

【0012】

この構成によれば、第1の出力用トランジスタの過電流が第1の検出回路で検出された場合、この第1の検出回路から第1の信号が出力される。この第1の信号は、信号変換回路により、低電源を基準とした第3の信号に変換される。ここで、第2の検出回路が低電源を基準として第2の信号を出力するものとするれば、第2の信号と第3の信号は同一の電源を基準とした信号となる。従って、これら第2および第3の信号を論理演算の対象とすることが可能になり、加算回路によ

り第2および第3の信号を加算する。この加算回路の出力信号はゲート回路に与えられ、ゲート回路は、第2および第3の信号の加算結果に応じて第1および第2の駆動回路に入力されるパルス信号を阻止する。これにより、例えば第1および第2の出力用トランジスタが共にオフ状態に固定され、D級増幅器がミュート状態となる。

【0013】

また、請求項2に記載された発明は、請求項1に記載されたD級増幅器において、前記第1の駆動回路が、前記出力端子の電位を基準とした第1の内部電源で作動して前記第1の出力用トランジスタを駆動し、前記第2の駆動回路が、前記低電源を基準とした第2の内部電源で作動して前記第2の出力用トランジスタを駆動することを特徴とする。

さらに、請求項3に記載された発明は、請求項1または2に記載されたD級増幅器において、前記信号変換回路が、電流経路の一端側が前記第1の駆動回路の電源に接続され、前記第1の信号に応答して導通する第1のトランジスタと、前記第1のトランジスタの電流経路の他端と前記低電源との間に接続された負荷素子と、電流経路が前記低電源と前記加算回路の入力部との間に接続され、前記第1のトランジスタと前記負荷素子との間に現れる信号に応答して導通する第2のトランジスタと、を備えたことを特徴とする。

【0014】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図1に、この実施の形態に係るD級増幅器DAMPの構成を示す。入力段100は、入力抵抗R1と帰還抵抗R2（=R1）とオペアンプOPとから構成される。入力抵抗R1の一端はオペアンプOPの反転入力部（-）に接続され、その他端は入力端子TIに接続される。帰還抵抗R2は、オペアンプOPの反転入力部と出力部との間に接続される。オペアンプOPの非反転入力部（+）には、基準電圧VREFが印加される。基準電圧VREFは、例えば標準の電源VDDが供給する電圧を抵抗分割して発生され、電源VDDの2分の1に設定される。この実施の形態では、電源VDDの電圧を「+10V」とし、この技術分野におい

て標準的な電源電圧とする。変調回路 2 0 0 は、前段の入力段 1 0 0 から出力された音楽信号を P W M 変調によりパルス信号（P W M 信号）に変換するものである。駆動制御回路 3 0 0 は、出力用のパワー M O S トランジスタ 4 0 1, 4 0 2 を相補的に駆動制御するものである。この駆動制御回路 3 0 0 の詳細については後述する。

【 0 0 1 5 】

パワー M O S トランジスタ 4 0 1 は、出力端子 T O にハイレベルを出力するためのものであって、ドレインおよびソースが正電源 V P P +（高電源）および出力端子 T O にそれぞれ接続される。一方のパワー M O S トランジスタ 4 0 2 は、出力端子 T O にローレベルを出力するためのものであって、ドレインおよびソースが出力端子 T O および負電源 V P P -（低電源）にそれぞれ接続される。この実施の形態 1 では、正電源 V P P + の電圧を「+ 5 0 V」とし、負電源 V P P - の電圧を「- 5 0 V」とする。出力端子 T O には、インダクタ L およびコンデンサ C からなるローパスフィルタを介してスピーカ S P K の一方の入力端子が接続され、このスピーカ S P K の他方の入力端子は接地される。インダクタ L およびコンデンサ C からなるローパスフィルタの定数は、出力端子 T O を介して D 級増幅器 D A M P から出力されるパルス信号からキャリア周波数成分を除去し、かつ音楽信号成分を通過させるように設定される。

上述のように、この D 級増幅器 D A M P は、標準の電源 V D D、正電源 V P P +、負電源 V P P - の 3 電源で動作するものとなっている。

【 0 0 1 6 】

次に、駆動制御回路 3 0 0 の構成を詳細に説明する。図 2 に、駆動制御回路 3 0 0 の構成を示す。同図において、過電流の検出と、その処理部分は省略してある（後述）。また、図 1 に示す構成要素と共通する要素には同一符号を付す。駆動制御回路 3 0 0 は、出力段を構成する一方のパワー M O S トランジスタ 4 0 1 を駆動するための回路系（ハイサイドドライバ）として、相補信号生成回路 3 0 1 H、信号変換回路 3 0 2 H、および駆動回路 3 0 3 H を備え、他方のパワー M O S トランジスタ 4 0 2 を駆動するための回路系（ローサイドドライバ）として、相補信号生成回路 3 0 1 L、信号変換回路 3 0 2 L、および駆動回路 3 0 3 L

を備える。パワーMOSトランジスタ401のソースとパワーMOSトランジスタ402のドレインとの接続点に現れる信号は、このD級増幅器DAMPの出力信号OUTとされ、出力端子TOを介して外部に出力される。

【0017】

ここで、ハイサイドドライバの構成を詳細に説明する。相補信号生成回路301Hは、上述の変調回路200から出力されたPWM信号の同相信号H1および逆相信号H2を生成するものであり、CMOS (Complementary Metal Oxide Semiconductor) 構成の論理積ゲート回路B11、バッファB12、および負論理入力型のバッファ（インバータ）B13から構成される。ここで、論理積ゲート回路B11の入力部には、変調回路200から出力されたPWM信号が与えられ、その出力部はバッファB12、B13の入力部に共通に接続される。これら論理積ゲート回路B11およびバッファB12、B13は電源VDDが供給されて作動し、バッファB12、B13からPWM信号の同相信号H1と逆相信号H2とがそれぞれ出力される。これら同相信号H1および逆相信号H2は、相補信号（H1、H2）として信号変換回路302Hに出力される。

【0018】

信号変換回路302Hは、同相信号H1および逆相信号H2を、パワーMOSトランジスタ401のソース電圧VS（即ち出力信号OUTの信号レベル）を基準とした所定電圧VR1に追従する同相信号H3および逆相信号H4にレベル変換するものであり、抵抗R11、R12、抵抗R13、R14、およびバイアス回路P11から構成される。抵抗R13、R14の一端がコンパレータCM1の一对の入力部に接続され、その他端は、バイアス回路P11によりパワーMOSトランジスタ401のソース電圧VSを基準とした所定電圧VR1にバイアスされている。この実施の形態では、所定電圧VR1は、ソース電圧VSに電源VDDの2分の1を加えた値（ $=VS + VDD/2$ ）に設定するものとする。いま、電源VDDは10Vであるから、その半分の5Vをソース電圧VSに加算した電圧が所定電圧VR1となる。

【0019】

図3に、バイアス回路P11の構成例を示す。同図に示すように、バイアス回

路 P 1 1 は、上述のソース電圧 V_S が現れるノード（即ちパワー MOS トランジスタ 4 0 1 のソース）と正電源 V_{PP+} との間に抵抗 P_R およびツェナー・ダイオード P_D を直列接続し、このツェナー・ダイオード P_D と並列に安定化コンデンサ P_C を接続して構成され、抵抗 P_R とツェナー・ダイオード P_D との接続点に現れる電圧が所定電圧 V_{R1} とされる。この実施の形態 1 では、ツェナー・ダイオード P_D の降伏電圧は電源 V_{DD} （10 V）の 2 分の 1 に相当する 5 V に設定されており、これにより、上述の所定電圧 V_{R1} としてソース電圧 V_S に電源 V_{DD} の 2 分の 1 を加えた値（ $= V_S + V_{DD} / 2$ ）を発生するものとなっている。

【0020】

ここで、説明を図 2 に戻し、駆動回路 3 0 3 H の構成を説明する。駆動回路 3 0 3 H は、パワー MOS トランジスタ 4 0 1 を駆動制御するものであり、コンパレータ $CM1$ 、バッファ $B14$ 、および内部電源 $P12$ を含んで構成される。ここで、コンパレータ $CM1$ の非反転入力部は抵抗 $R11$ を介してバッファ $B12$ の出力部に接続され、その反転入力部は抵抗 $R12$ を介してバッファ $B13$ の入力部に接続される。またコンパレータ $CM1$ の出力部はバッファ $B14$ の入力部に接続され、このバッファ $B14$ の出力部は上述のパワー MOS トランジスタ 4 0 1 のゲートに接続される。

【0021】

内部電源 $P12$ は、パワー MOS トランジスタ 4 0 1 のソース電圧 V_S を基準として、電源 V_{DD} の電圧に相当する電圧 V_{D1} を発生するものであり、基本的には上述の図 2 に示すバイアス回路と同様に構成される。ただしこの場合のツェナー・ダイオード P_D の降伏電圧は電源 V_{DD} の電圧に相当する 10 V に設定される。この内部電源 $P12$ は、ソース電圧 V_S を基準として電源 V_{DD} に相当する電圧 V_{D1} を発生し、上述のコンパレータ $CM1$ とバッファ $B14$ に電源電圧として供給する。従って、駆動回路 3 0 3 H の電源系は、パワー MOS トランジスタ 4 0 1 のソース電圧 V_S に追従して変化すると共に、コンパレータ $CM1$ およびバッファ $B14$ に関する限り電源 V_{DD} と等価な電源として振る舞う。以上により、パワー MOS トランジスタ 4 0 1 を駆動するためのハイサイドドライバ

の構成を説明した。

【 0 0 2 2 】

続いて、パワーMOSトランジスタ402を駆動するためのローサイドドライバの構成を説明する。ローサイドドライバを構成する相補信号生成回路301L、信号変換回路302L、駆動回路303Lは、上述のハイサイドドライバを構成する相補信号生成回路301H、信号変換回路302H、駆動回路303Hと基本的には同様に構成されるが、論理積ゲート回路B11に対応するものとして論理和ゲート回路B21を有する。具体的に説明すると、信号生成回路301Lは、変調回路200から出力されたPWM信号の逆相信号L1および同相信号L2を生成するもので、論理和ゲート回路B21、バッファB22、B23から構成され、これらは上述の信号生成回路301Hを構成する論理積ゲート回路B11、バッファB12、B13にそれぞれ対応する。ただし、バッファB12およびバッファB13がそれぞれ正論理入力型および負論理入力型であるのに対し、バッファB22およびバッファB23はそれぞれ負論理入力型および正論理入力型となっている。

【 0 0 2 3 】

また、信号変換回路302Lは、抵抗R21、R22、R23、R24、およびバイアス回路P21から構成され、これらは上述の信号変換回路302Hを構成する抵抗R11、R12、R13、R14、およびバイアス回路P11にそれぞれ対応する。ただし、バイアス回路P21は、負電源VPP-を基準として、電源VDDの2分の1に相当する電圧VR2を発生する。さらに、駆動回路303Lは、コンパレータCM2、バッファB24、および内部電源P22を含んで構成され、これらは上述の駆動回路303Hを構成するコンパレータCM1、バッファB14、内部電源P12にそれぞれ対応する。ただし、内部電源P22は、パワーMOSトランジスタ402のソース電圧（即ち負電源VPP-）を基準として電源VDDに相当する電圧VD2を発生し、コンパレータCM2およびバッファB24に電源電圧として供給する。

【 0 0 2 4 】

次に、図4を参照して、過電流から出力段のパワーMOSトランジスタ401

、402を保護するための回路構成を説明する。図4において、図2に示す要素と共通する要素には同一符号を付す。パワーMOSトランジスタ401のソースと出力端子TOとの間には、パワーMOSトランジスタ401の過電流 I_{401} を検出するための抵抗RS1が接続される。駆動回路303Hの内部には、パワーMOSトランジスタ401の過電流 I_{401} を検出するための回路（第1の検出回路）として、基準電源REFH、コンパレータCM11、ラッチLA1、NMOSトランジスタTN1、抵抗RN1が設けられている。コンパレータCM11の非反転入力端子（+）は抵抗RS1の一端側（パワーMOSトランジスタ401側）に接続され、反転入力端子（-）は基準電源REFHを介して抵抗RS2の他端側（出力端子TO側）に接続される。ここで、コンパレータCM11の出力部はラッチLA1の入力部に接続され、このラッチLA1の出力部はNMOSトランジスタTN1のゲートに接続される。NMOSトランジスタTN1のソースはVSへ接続され、そのドレインと内部電源P12との間には負荷用の抵抗RN1が接続される。

【0025】

また、パワーMOSトランジスタ402のソースと負電源VPP-との間には、パワーMOSトランジスタ402の過電流 I_{402} を検出するための抵抗RS2が接続される。駆動回路303Lの内部には、パワーMOSトランジスタ402の過電流を検出するための回路（第2の検出回路）として、基準電源REFL、コンパレータCM21、ラッチLA2、NMOSトランジスタTN2、抵抗RN2が設けられている。ここで、コンパレータCM21の非反転入力端子（+）は抵抗RS2の一端側（パワーMOSトランジスタ402側）に接続され、反転入力端子（-）は基準電源REFLを介して抵抗RS2の他端側（負電源VPP-側）に接続される。コンパレータCM21の出力部はラッチLA2の入力部に接続され、その出力部はNMOSトランジスタTN2のゲートに接続される。このNMOSトランジスタTN2のソースは負電源VPP-へ接続され、そのドレインと内部電源P22との間には負荷用の抵抗RN2が接続される。NMOSトランジスタTN2のドレインは、抵抗RR4を介してnpnバイポーラトランジスタTT3のエミッタに接続される。

【0026】

さらに、 pnp バイポーラトランジスタ $TT1$ のエミッタは駆動回路303Hの内部電源 $P12$ に接続され、そのベースは抵抗 $RR1$ を介して $NMOS$ トランジスタ $TN1$ のドレインに接続される。 pnp バイポーラトランジスタ $TT1$ のコレクタは抵抗 $RR2$ および $RR3$ を介して負電源 $VPP-$ に接続される。 pnp バイポーラトランジスタ $TT1$ のベースと内部電源 $P12$ との間には安定化用コンデンサ $CC1$ が接続される。 npn バイポーラトランジスタ $TT2$ のベースは、 pnp バイポーラトランジスタ $TT1$ と抵抗 $RR3$ との間（具体的には抵抗 $RR2$ と抵抗 $RR3$ との接続点）に接続され、そのエミッタは負電源 $VPP-$ に接続され、そのコレクタは抵抗 $RR5$ を介して npn バイポーラトランジスタ $TT3$ のエミッタに接続される。この npn 型バイポーラトランジスタ $TT3$ のコレクタは、負荷用の抵抗 $RR6$ を介して、前述の信号生成回路301H、301Lの電源 VDD に接続される。ダイオード $DD1$ のアノードは接地されるとともに、そのカソードは npn バイポーラトランジスタ $TT3$ のコレクタに接続される。そして、抵抗 $RR6$ とダイオード $DD1$ のカソードとの接続点にあらわれる電圧信号は、過電流が検出されたことを表す検出信号 DET とされ、前述の信号生成回路301H、301Lに出力される。

【0027】

図5に、図4に示す駆動回路303H、303L内の $NMOS$ トランジスタ $TN1$ 、 $TN2$ のドレイン電流から検出信号 DET が生成されるまでの回路系を抽出して示す。同図において、抵抗 $RR1$ 、 $RR2$ 、 $RR3$ 、 pnp バイポーラトランジスタ $TT1$ は、 $NMOS$ トランジスタ $TN1$ のドレイン電流を負電源 $VPP-$ を基準とした電流信号 $ITT2$ に変換するための信号変換回路 SHF を構成し、抵抗 $RR4$ 、 $RR5$ および npn バイポーラトランジスタ $TT3$ は、 $NMOS$ トランジスタ $TN2$ のドレイン電流 $ITN2$ と上記電流信号 $ITT2$ を加算する加算回路 OR を構成する。換言すれば、 VS を基準としたハイ・ロー電圧（ $VD1$ ）を、負電源 $VPP-$ を基準としたハイ・ロー電圧へと変換している。

【0028】

次に、この実施の形態の動作を説明する。

先ず、図 6 に示す波形図を参照しながら増幅器としての動作を説明する。図 6 では、変調回路 2 0 0 から出力された P W M 信号は、同相信号 H 1 と位相が同一であるから、同相信号 H 1 の波形を流用して表現している。図 1 に示す入力段 1 0 0 は、増幅率 ($R 2 / R 1$) が「1」の反転増幅器として機能し、基準信号 V R E F を中点として音楽信号 V I N の位相を反転させた信号を出力する。これにより、音楽信号 V I N が、後段側の変調回路 2 0 0 の入力特性に適合する信号に変換される。変調回路 2 0 0 は、前段の入力段 1 0 0 から出力された音楽信号の情報成分をパルス幅に反映させて P W M 変調を行い、P W M 信号を生成する。駆動制御回路 3 0 0 は、変調回路 2 0 0 で生成された P W M 信号に基づき、出力用のパワー M O S トランジスタ 4 0 1 とパワー M O S トランジスタ 4 0 2 とを相補的に駆動する。

【 0 0 2 9 】

ここで、駆動制御回路 3 0 0 の動作をさらに詳細に説明する。ハイサイドドライバを構成する信号生成回路 3 0 1 H は、変調回路 2 0 0 から出力された P W M 信号に応答して、この P W M 信号と同じ位相を有する同相信号 H 1 と、逆の位相を有する逆相信号 H 2 を生成する。図 6 に示す波形図では、初期状態において、変調回路 2 0 0 から出力された P W M 信号はハイレベルにあり、これを入力する相補信号生成回路 3 0 1 H は、同相信号 H 1 としてハイレベルを出力し、逆相信号 H 2 としてローレベルを出力する。従って、初期状態において同相信号 H 1 と逆相信号 H 2 との間には、電源 V D D に相当するレベル差が存在し、同相信号 H 1 が逆相信号 H 2 よりも電源 V D D に相当する電圧分だけ高くなっている。

【 0 0 3 0 】

相補信号生成回路 3 0 1 H から出力された同相信号 H 1 と逆相信号 H 2 は、信号変換回路 3 0 2 H を構成する抵抗 R 1 1, R 1 2 を介して同相信号 H 3 および逆相信号 H 4 として駆動回路 3 0 3 H 側に供給される。このとき、この駆動回路 3 0 3 H を構成するコンパレータ C M 1 の入力部は、抵抗 R 1 3, R 1 4 を介してバイアス回路 P 1 1 に接続されているので、同相信号 H 3 の信号レベルは、バイアス回路 P 1 1 が発生する電圧 V R 1 と同相信号 H 1 との間の電位差を抵抗 R 1 1, R 1 3 により分圧して得られる電圧を示し、逆相信号 H 4 の信号レベルは

、電圧 V_{R1} と逆相信号 $H2$ との間の電位差を抵抗 $R12$ 、 $R14$ により分圧して得られる電圧を示す。

【0031】

駆動回路 303H のコンパレータ $CM1$ は、同相信号 $H3$ と逆相信号 $H4$ との大小関係に応じた信号レベルを出力する。初期状態では、同相信号 $H3$ が逆相信号 $H4$ よりも信号レベルが大きいので、コンパレータ $CM1$ はハイレベルを出力し、これを入力するバッファ $B14$ は、パワー MOS トランジスタ 401 のソースを基準として電源 V_{DD} に相当する信号レベルを有する信号 $H5$ をそのゲートに出力する。これにより、パワー MOS トランジスタ 401 はオン状態となる。後述するように、パワー MOS トランジスタ 401、402 は相補的に導通するように制御されるから、パワー MOS トランジスタ 401 がオン状態になると、パワー MOS トランジスタ 402 がオフ状態となり、出力信号 OUT の信号レベル（即ちソース電圧 V_S ）が正電源 V_{PP+} の電源電圧にまで上昇する。

【0032】

このとき、駆動回路 303H は、内部電源 $P12$ から、ソース電圧 V_S を基準とした電圧 V_{D1} を供給されるので、この駆動回路 303H の電源系がパワー MOS トランジスタ 401 のソース電圧 V_S に追従して上昇する。このため、コンパレータ $CM1$ の入力閾値もソース電圧 V_S と共に上昇するが、バイアス回路 $P11$ が発生する電圧 V_{R1} もソース電圧 V_S に追従して上昇するので、同相信号 $H3$ と逆相信号 $H4$ の各信号レベルは駆動回路 303H をなすコンパレータ $CM1$ の入力特性に適合した状態を維持し、パワー MOS トランジスタ 401 はオン状態に維持される。この状態では、信号 $H5$ の信号レベルは正電源 V_{PP+} より電圧 V_{D1} ($=V_{DD}$) 分だけ高い状態となる。

【0033】

一方のローサイドドライバでは、初期状態においてハイレベルにある PWM 信号を入力する相補信号生成回路 301L が、逆相信号 $L1$ としてローレベルを出力し、同相信号 $L2$ としてハイレベルを出力する。従って、初期状態では逆相信号 $L1$ と同相信号 $L2$ との間には、その大小関係に応じて電源 V_{DD} に相当するレベル差が存在し、逆相信号 $L1$ が同相信号 $L2$ よりも電源 V_{DD} に相当する電

圧分だけ低くなっている。相補信号生成回路 3 0 1 L から出力された逆相信号 L 1 と同相信号 L 2 は、信号変換回路 3 0 2 L を構成する抵抗 R 2 1, R 2 2 を介して逆相信号 L 3 および同相信号 L 4 として駆動回路 3 0 3 L 側に供給される。このとき、逆相信号 L 3 の信号レベルは、バイアス回路 P 2 1 が発生する電圧 V R 2 と逆相信号 L 1 との間の電位差を抵抗 R 2 1, R 2 3 により分圧して得られた電圧を示し、同相信号 L 4 の信号レベルは、電圧 V R 2 と同相信号 L 2 との間の電位差を抵抗 R 2 2, R 2 4 により分圧して得られた電圧を示す。

【 0 0 3 4 】

駆動回路 3 0 3 L のコンパレータ C M 2 は、初期状態では逆相信号 L 3 が同相信号 L 4 よりも信号レベルが小さいのでローレベルを出力し、これを入力するバッファ B 2 4 は、パワー MOS トランジスタ 4 0 2 のソース電圧 (V P P -) に等しい信号レベルを有する信号 L 5 をそのゲートに出力する。このため、パワー MOS トランジスタ 4 0 2 はオフ状態となる。このとき、内部電源 P 2 2 は、負電源 V P P - を基準とした電圧 V D 2 を発生している。従って、初期状態では、パワー MOS トランジスタ 4 0 1 がオン状態となり、パワー MOS トランジスタ 4 0 2 がオフ状態となって、出力信号 O U T として正電源 V P P + の電圧に相当するハイレベルが出力された状態となっている。

【 0 0 3 5 】

このような初期状態から、図 6 に示す時刻 t 1 において PWM 信号がローレベルに遷移すると、これに応答して同相信号 H 1 がローレベルとなり逆相信号 H 2 がハイレベルになる。このため、同相信号 H 1 と逆相信号 H 2 との大小関係が逆転し、時刻 t 2 において同相信号 H 3 と逆相信号 H 4 の大小関係も逆転する。従って、同相信号 H 3 と逆相信号 H 4 を入力するコンパレータ C M 1 の出力信号がハイレベル (V S = 正電源 V P P + より電圧 V D 1 分だけ高い電圧状態) からローレベル (V S = 正電源 V P P + に相当する電圧状態) に変化し、これを入力するバッファ B 1 4 の出力信号 H 5 もローレベル (V S = 正電源 V P P + に相当する電圧状態) に変化する。この結果、パワー MOS トランジスタ 4 0 1 のゲート電圧がソース電圧 V S (= 正電源 V P P +) と等しくなり、このパワー MOS トランジスタ 4 0 1 がオフ状態となる。

【 0 0 3 6 】

一方、時刻 t_1 において PWM 信号がローレベルに遷移すると、これに応答して逆相信号 L1 がハイレベルとなり、同相信号 L2 がローレベルになる。このため、逆相信号 L1 と同相信号 L2 との大小関係が逆転し、これに応じて逆相信号 L3 と同相信号 L4 の大小関係も逆転する。したがって、コンパレータ CM2 の出力信号がローレベル（負電源 V_{PP-} に相当する電圧状態）からハイレベル（負電源 V_{PP-} より電圧 V_{D2} 分だけ高い電圧状態）に変化し、これを入力するバッファ B24 の出力信号 L5 もハイレベルに変化する。この結果、パワー MOS トランジスタ 402 のゲート電圧がソース電圧に対して電圧 V_{D2} 分だけ高くなり、このパワー MOS トランジスタ 402 がオン状態となる。

【 0 0 3 7 】

パワー MOS トランジスタ 402 がオン状態になると、パワー MOS トランジスタ 401 のソース電圧 V_S は出力信号 OUT に伴って低下し、これを基準として内部電源 P12 が発生する電圧 V_{D1} も低下する。このとき、バイアス回路 P11 が発生する電圧 V_{R1} もパワー MOS トランジスタ 401 のソース電圧 V_S の変化に伴って低下するので、同相信号 H1 と逆相信号 H2 の大小関係が維持されたまま、これら信号レベルが駆動回路 303H の電源系と共に低下する。従って、コンパレータ CM1 が出力する信号レベルはローレベル（ソース電圧 V_S ）を維持し、出力信号 OUT がローレベル（負電源 V_{PP-} ）に遷移する過程において、パワー MOS トランジスタ 401 はオフ状態を維持する。

以上により、初期状態から時刻 t_1 において PWM 信号がローレベルに遷移すると、一方のパワー MOS トランジスタ 401 がオフ状態となり、他方のパワー MOS トランジスタ 402 がオン状態となって、出力信号 OUT が正電源 V_{PP+} から負電源 V_{PP-} に遷移し、ローレベルが出力される。

【 0 0 3 8 】

続いて、時刻 t_3 において PWM 信号がハイレベルに回復すると、これに応答して時刻 t_4 においてハイサイドドライバ側の同相信号 H3 がハイレベルとなり逆相信号 H4 がローレベルとなる。従って、これら同相信号 H3 と逆相信号 H4 を入力するコンパレータ CM1 はハイレベルを出力し、パワー MOS トランジス

タ 4 0 1 がオン状態となる。一方のローサイドドライバ側では、逆相信号 L 3 がローレベルになり、同相信号 L 4 がハイレベルになる。従って、これら逆相信号 L 3 と同相信号 L 4 を入力するコンパレータ C M 2 はローレベルを出力し、パワー MOS トランジスタ 4 0 2 はオフ状態となる。

【 0 0 3 9 】

ここで、パワー MOS トランジスタ 4 0 1 がオン状態になると、そのソース電圧 V S が出力信号 O U T に伴って上昇し、これを基準として内部電源 P 1 2 が発生する電圧 V D 1 も上昇する。しかし、バイアス回路 P 1 1 が発生する電圧 V R 1 もソース電圧 V S に追従して上昇し、同相信号 H 1 と逆相信号 H 2 の大小関係が維持されるので、コンパレータ C M 1 が出力する出力信号の信号レベルはハイレベル（ソース電圧 V S に対して電圧 V D 1 分だけ高い電圧状態）を保つ。従って、出力信号 O U T がハイレベルに遷移する過程において、パワー MOS トランジスタ 4 0 1 はオン状態を維持する。よって、時刻 t 3 において PWM 信号がハイレベルになると、パワー MOS トランジスタ 4 0 1 がオン状態となり、パワー MOS トランジスタ 4 0 2 がオフ状態となって、出力信号 O U T として正電源 V P P + に相当するハイレベルが出力される。

以上により、音楽信号 V I N に基づき変調されたパルス信号が電力増幅されて出力信号 O U T として出力される。

【 0 0 4 0 】

次に、図 4 および図 5 を参照しながら、過電流から出力段のパワー MOS トランジスタを保護するための動作を説明する。

図 4 において、いま、パワー MOS トランジスタ 4 0 1 がオン状態にあり、例えば負荷ショートにより出力端子がグランドにショートされたとする。この場合、正電源 V P P + から抵抗 R S 1 および出力端子 T O を介してグランドに過電流 I 4 0 1 が流れ、抵抗 R S 1 において電圧降下が発生し、この抵抗 R S 1 の両端部に電圧が発生する。この電圧が駆動回路 3 0 3 H 内の基準電源 R E F H の電圧を超えると、コンパレータ C M 1 1 の出力信号がハイレベルとなり、この出力信号がラッチ L A 1 にラッチされて NMOS トランジスタ T N 1 のゲートに与えられる。これを受けて NMOS トランジスタ T N 1 がオン状態となり、ドレイン電

流 I_{TN1} (第 1 の信号) が発生する。

【 0 0 4 1 】

ドレイン電流 I_{TN1} が発生すると、抵抗 R_{R1} を介して pnp バイポーラトランジスタ T_{T1} のベース電圧がローレベルに駆動され、この pnp バイポーラトランジスタ T_{T1} がオン状態となり、コレクタ電流 I_{TT1} が抵抗 R_{R2} 、 R_{R3} を介して負電源 V_{PP-} に流れ込む。これにより npn バイポーラトランジスタ T_{T2} のベース電圧が上昇し、この npn バイポーラトランジスタ T_{T2} がオン状態となりコレクタ電流 I_{TT2} (第 3 の信号) が発生する。これまでの動作で、上述のドレイン電流 I_{TN1} が負電源 V_{PP-} を基準とした信号であるコレクタ電流 I_{TT2} に変換される。コレクタ電流 I_{TT2} が流れると、抵抗 R_{R5} を介して npn バイポーラトランジスタ T_{T3} のエミッタ電圧が低下し、この npn バイポーラトランジスタ T_{T3} がオン状態となって抵抗 R_{R6} を駆動する。この結果、検出信号 DET がローレベルとなり、過電流が検知されたことを示す信号状態となる。このとき、検出信号 DET の信号レベルはダイオード $DD1$ によりグランド電位付近の適切な電位にクランプされて過剰に低下しない。

【 0 0 4 2 】

上述の検出信号 DET は、図 2 に示す論理積ゲート回路 B_{11} および論理和ゲート回路 B_{21} に与えられる。ここで、検出信号 DET としてローレベルを入力する論理積ゲート回路 B_{11} の出力信号はローレベルに固定され、同相信号 $H1$ および逆相信号 $H2$ がそれぞれローレベルおよびハイレベルとなる。これら信号を同相信号 $H3$ および逆相信号 $H4$ として入力するコンパレータ $CM1$ はバッファ B_{14} を介してローレベルをパワー MOS トランジスタ 401 のゲートに出力し、このパワー MOS トランジスタ 401 をオフ状態に制御する。

【 0 0 4 3 】

一方、検出信号 DET としてローレベルを負論理入力部に入力する論理和ゲート回路 B_{21} の出力信号はハイレベルに固定され、同相信号 $L1$ および逆相信号 $L2$ がそれぞれローレベルおよびハイレベルとなる。これら信号を同相信号 $L3$ および逆相信号 $L4$ として入力するコンパレータ $CM2$ はバッファ B_{24} を介してローレベルをパワー MOS トランジスタ 402 のゲートに出力し、このパワー

MOSトランジスタ402をオフ状態に制御する。つまるところ、前述の論理積ゲート回路B11および論理和ゲート回路B21は、検出信号DETに応答してパルス信号を阻止するゲート回路として機能する。

このようにして、パワーMOSトランジスタ401の過電流I401が検出されて検出信号DETがローレベルになると、パワーMOSトランジスタ401、402が共にオフ状態に制御される。

【0044】

続いて、図4において、パワーMOSトランジスタ402に過電流I402が発生した場合を説明する。この場合、抵抗RS2の両端部に電圧が発生し、この電圧が駆動回路303Lに設けられた基準電源REFLを超えると、コンパレータCM21の出力信号がハイレベルになる。この出力信号はラッチLA2にラッチされてNMOSトランジスタTN2のゲートに与えられ、このNMOSトランジスタTN2をオン状態とし、ドレイン電流ITN2（第2の信号）が発生する。この結果、抵抗RR4を介してnpnバイポーラトランジスタTT3のエミッタがローレベルに駆動され、このnpnバイポーラトランジスタTT3がオン状態となる。従って、この場合も同様に検出信号DETがローレベルとなり、パワーMOSトランジスタ401、402が共にオフ状態に制御される。

【0045】

以上のように、パワーMOSトランジスタ401、402の何れか一方または双方の過電流が検出された場合にはパワーMOSトランジスタ401、402が共にオフ状態に制御され、これらパワーMOSトランジスタが過電流から保護される。従って、この実施の形態によれば、D級増幅器DAMPがミュート状態となり、一方の出力用のトランジスタのみが動作することによるシステム上の不都合を回避することが可能になる。また、この実施の形態によれば、ハイサイドドライバの内部電源系が出力端子TOの電位に追従して変化していても、ハイサイドドライバ内の駆動回路303Hで検出された信号（ドレイン電流ITN1）を確実に取り出すことが可能になり、システムを制御するCPU等にエラー信号として供給することが可能になり、例えば過電流が発生した場合にシステム全体の動作を停止させることも可能になる。

【 0 0 4 6 】

以上、この発明の一実施形態を説明したが、この発明は、上述の実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。例えば上述の実施の形態 1 では、駆動回路 3 0 3 H から出力されるドレイン電流 I_{TN1} を、負電源 V_{PP-} を基準としたコレクタ電流 I_{TT2} に信号変換するものとしたが、駆動回路 3 0 3 L の内部電源系を出力端子の電圧に追従するものとした場合、駆動回路 3 0 3 L から出力されるドレイン電流 I_{TN2} を、正電源 V_{PP+} を基準とする信号に信号変換し、これをドレイン電流 I_{TN1} と加算することにより検出信号 DET を生成すればよい。

【 0 0 4 7 】

【発明の効果】

この発明によれば、出力段を構成する高電源側の第 1 のトランジスタに流れる過電流を検出して第 1 の信号を出力し、前記出力段を構成する低電源側の第 2 のトランジスタに流れる過電流を検出して第 2 の信号を出力し、前記第 1 の信号を、前記低電源を基準とした第 3 の信号に変換し、前記第 2 の信号と前記第 3 の信号とを加算し、この加算信号に応答して前記第 1 および第 2 の駆動回路に入力されるべきパルス信号を阻止するゲート回路を備えたので、出力段を構成する一対のパワー MOS トランジスタのうち、一方に過電流が発生した場合であっても、双方のパワー MOS トランジスタをオフ状態に制御することが可能となる。

【図面の簡単な説明】

【図 1】 この発明の実施形態に係る D 級増幅器の構成を示す図である。

【図 2】 この実施形態に係る駆動制御回路の構成を示す回路図である。

【図 3】 この実施形態に係るバイアス回路の構成を示す図である。

【図 4】 この実施形態の特徴部を示す図であって過電流からパワー MOS トランジスタを保護するための構成を示す回路図である。

【図 5】 この実施形態に係る特徴部の構成を抽出した回路図である。

【図 6】 この実施形態に係る D 級増幅器の動作を説明するための波形図である。

【図 7】 過電流から出力段を保護するための構成を示す図である。

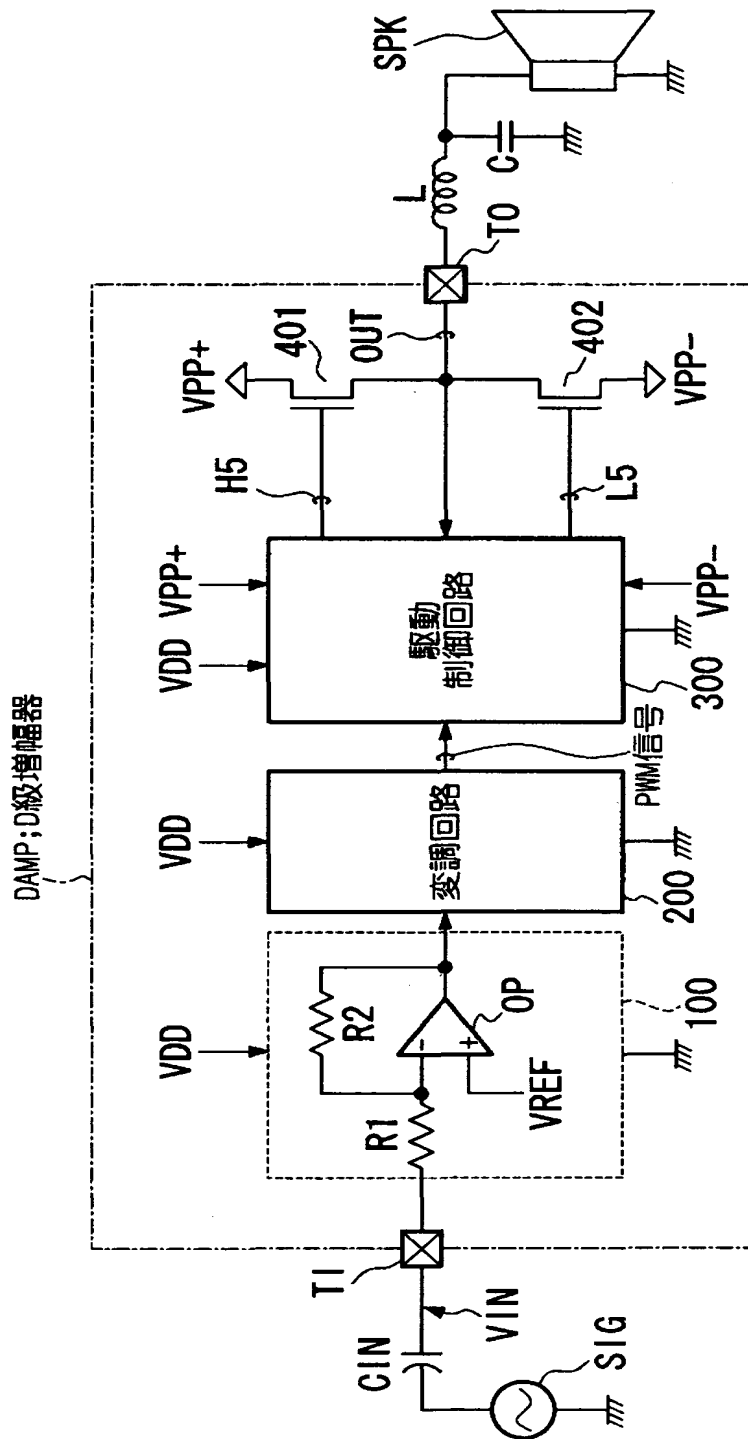
【符号の説明】

DAMP : D級増幅器、100 : 入力段、200 : 変調回路、300 : 駆動制御回路、301H, 301L : 信号生成回路、302H, 302L : 信号変換回路、303H, 303L : 駆動回路、401, 402 : パワーMOSトランジスタ、B11 : 論理積ゲート回路、B21 : 論理和ゲート回路、B12, B13, B14, B22, B23, B24 : バッファ、CM1, CM11, CM2, CM21 : コンパレータ、DD1 : ダイオード、LA1, LA2 : ラッチ、OR : 加算回路、OP : オペアンプ、P12, P22 : 内部電源、R11, R12, R13, R14, R21, R22, R23, R24, RN1, RN2, RR1, RR2, RR3, RR4, RR5, RR6, RS1, RS2 : 抵抗、REFH, REFL : 基準電源、P11, P21 : バイアス回路、SHF : 信号変換回路、TN1, TN2 : NMOSトランジスタ、TT1 : pnpバイポーラトランジスタ、TT2, TT3 : npnバイポーラトランジスタ。

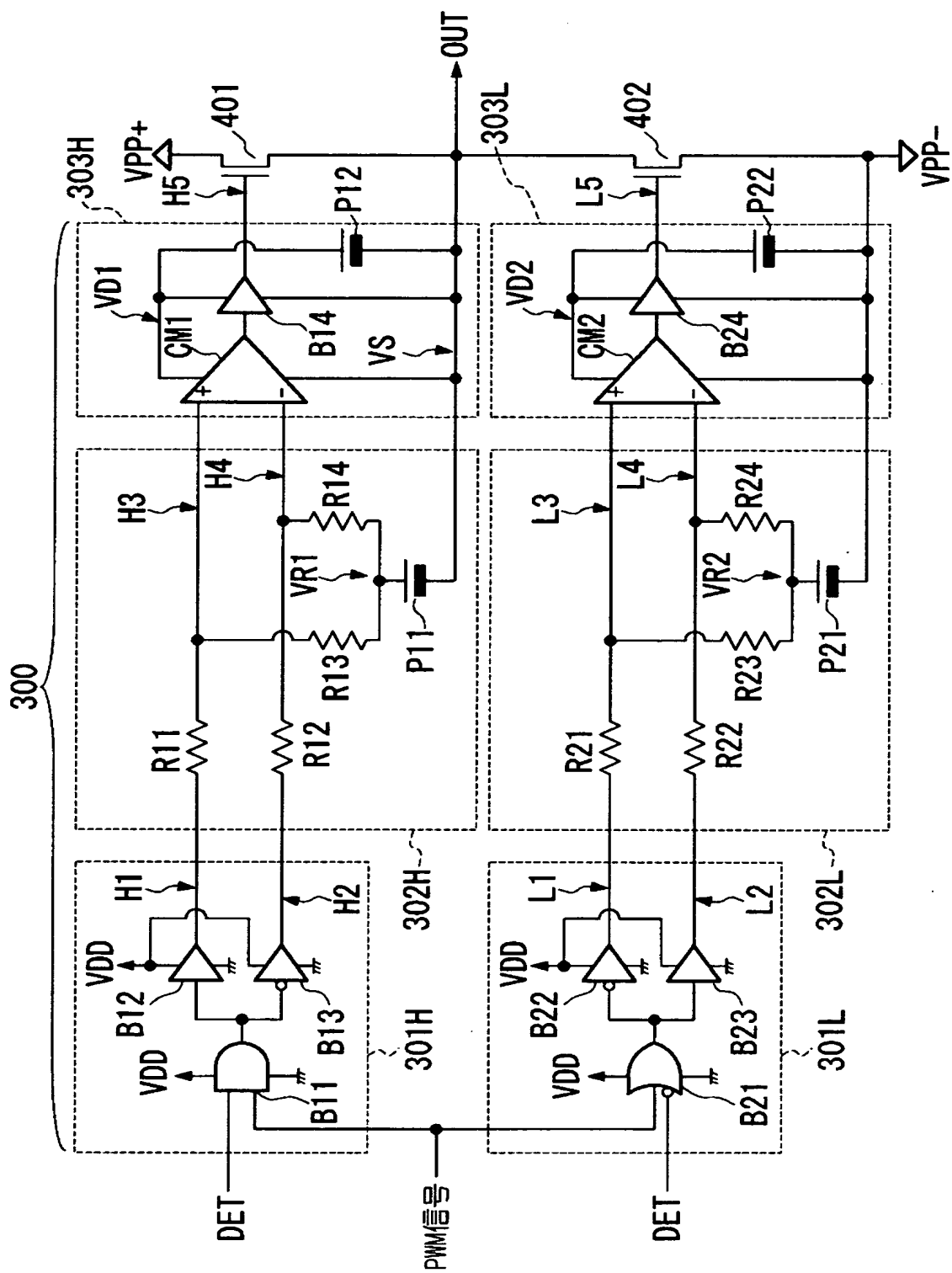
【書類名】

図面

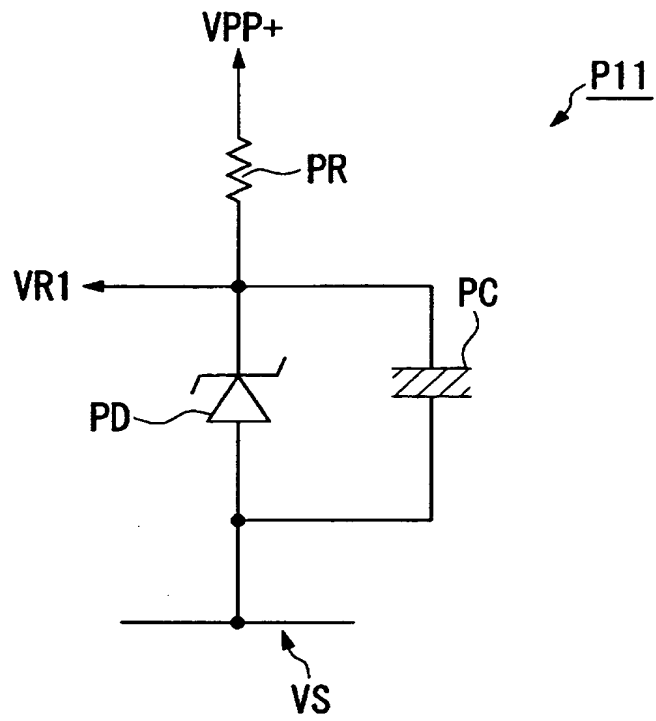
【図 1】



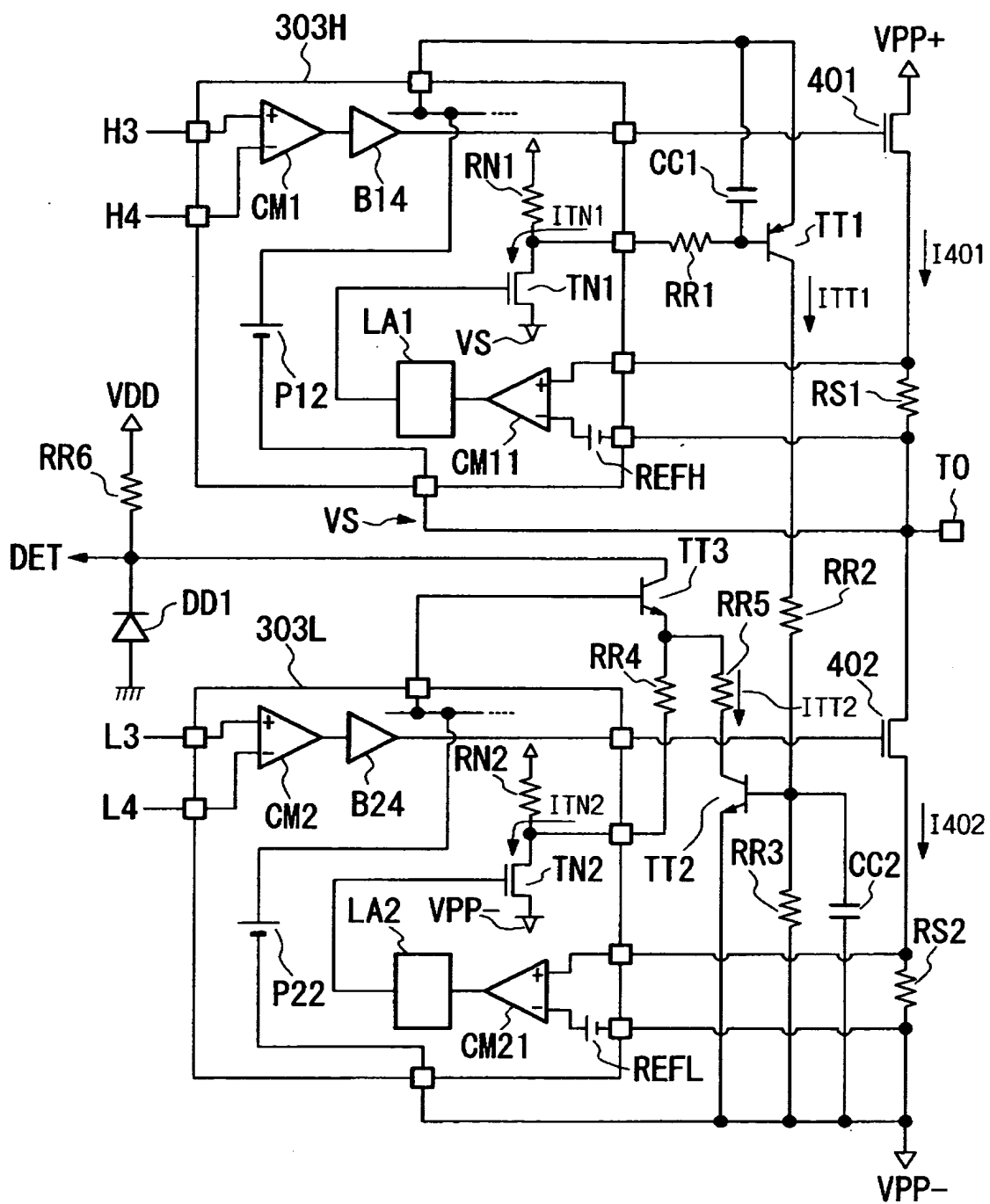
【图 2】



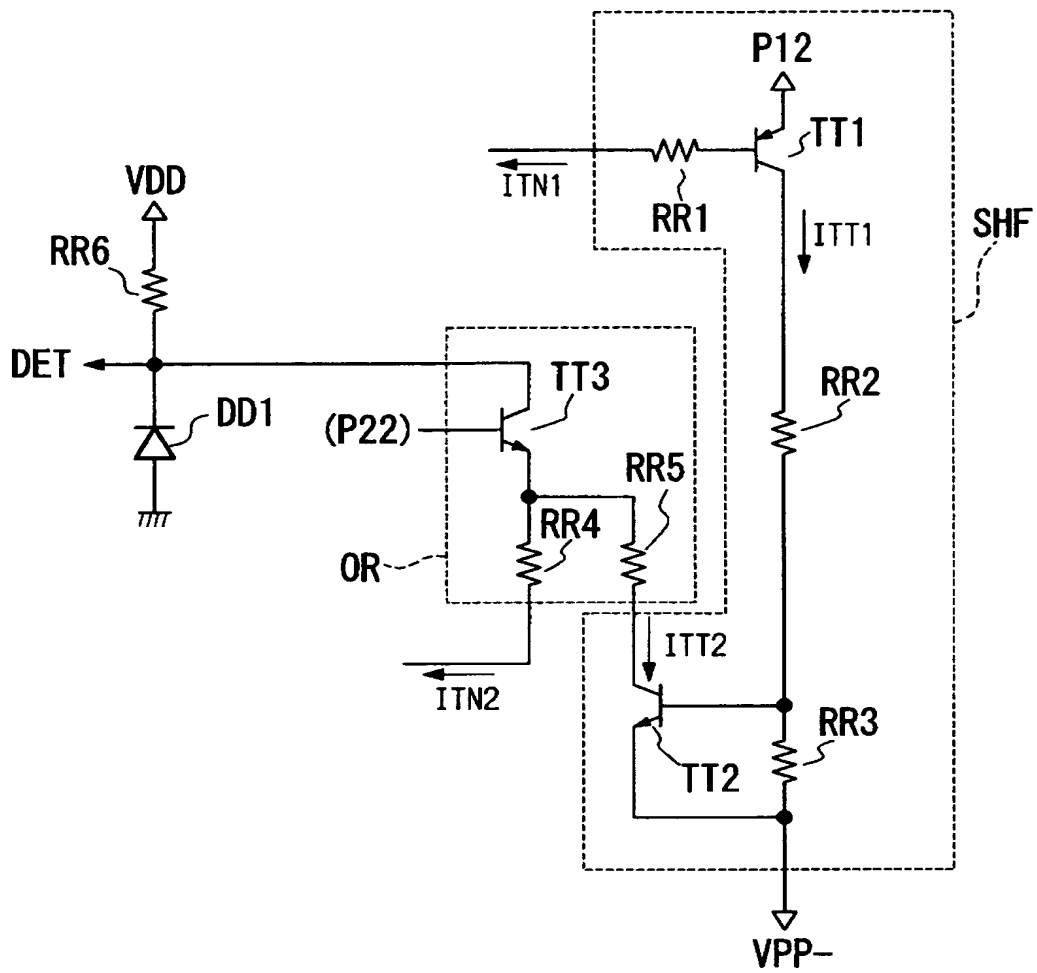
【図 3】



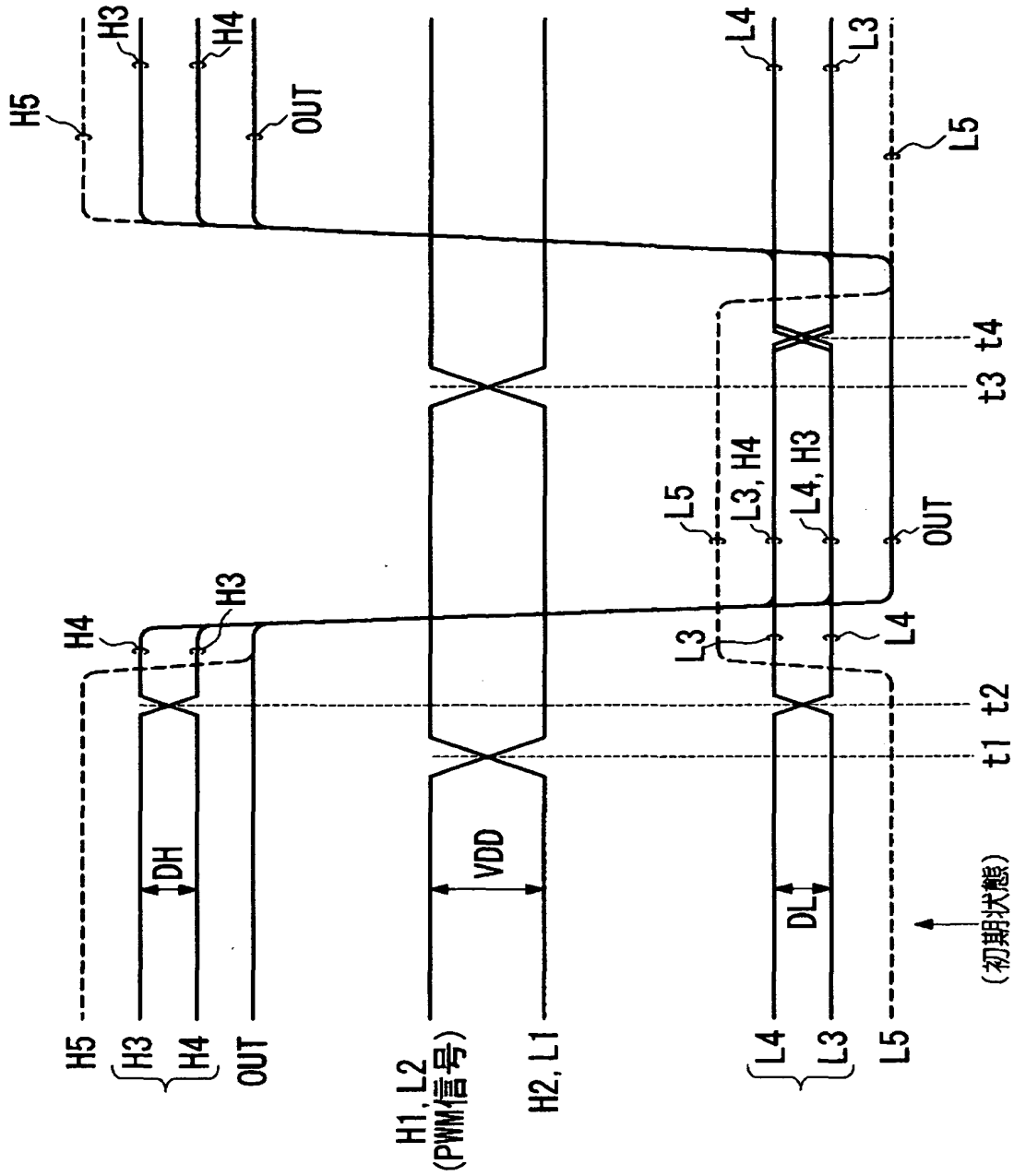
【図 4】



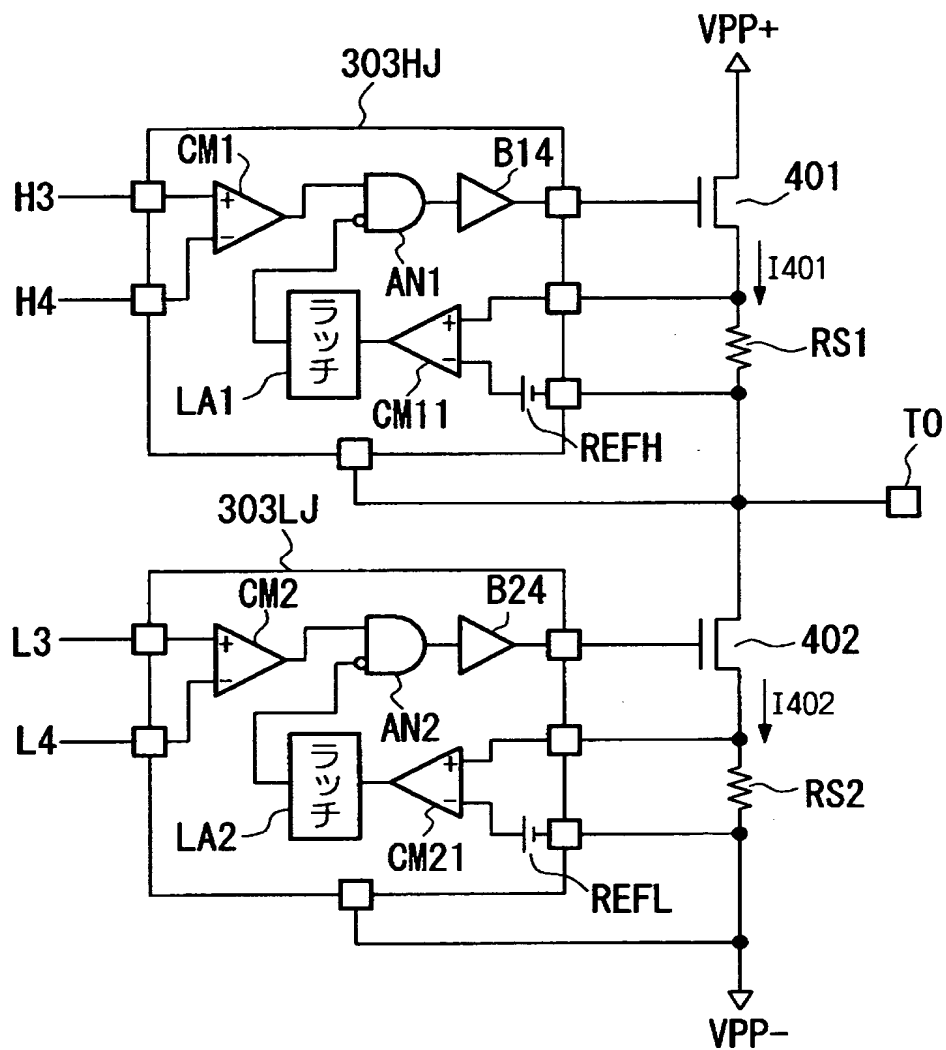
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 出過電流が発生した場合に、出力段を構成する双方のパワーMOSトランジスタをオフ状態に制御することが可能なD級増幅器を提供すること。

【解決手段】 ハイサイドドライバ側の第1の駆動回路303Hに、出力段のパワーMOSトランジスタ401に流れる過電流を検出して第1の信号(ITN1)を出力する検出回路(REFH, CM11, LA1, TN1, RN1)を設け、ローサイドドライバ側の駆動回路303Lに、出力段のパワーMOSトランジスタ402に流れる過電流を検出して第2の信号(ITN2)を出力する検出回路(REFL, CM21, LA2, TN2, RN2)を設ける。信号変換回路により、第1の信号(ITN1)を、負電源VPP-を基準とした第3の信号(ITT2)に変換する。この第3の信号は第2の信号と加算され、この加算信号に応答して駆動回路303H, 303Lに入力されるパルス信号を阻止する。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000004075]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	静岡県浜松市中沢町10番1号
氏 名	ヤマハ株式会社